



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08272679 A**(43) Date of publication of application: **18.10.96**

(51) Int. Cl.

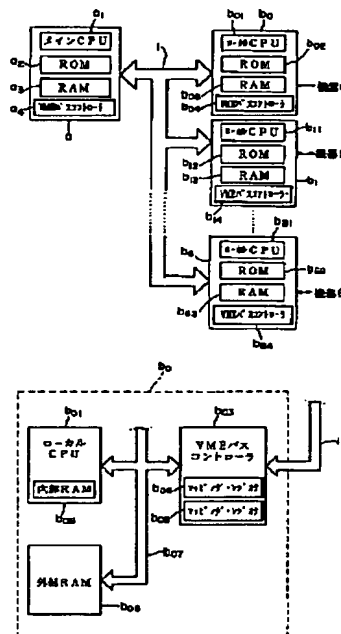
**G06F 12/06****G06F 11/32****G06F 13/14**(21) Application number: **07074232**(71) Applicant: **SHINKO ELECTRIC CO LTD**(22) Date of filing: **30.03.95**(72) Inventor: **SUGIURA AKINORI**(54) **INDUSTRIAL COMPUTER**

## (57) Abstract:

**PURPOSE:** To provide an industrial computer which effectively uses the internal memory of an IC for CPU.

**CONSTITUTION:** An input/output board b0, which is provided with an internal RAM b05 and an external RAM b06 storing their own operation information and a VME bus controller b04 and is controlled based on control data inputted to the VME bus controller b04 through a VME bus 1, and a main CPU board (a) which is provided with a VME bus controller a4 communicating with the VME bus controller b04 and reads out operation information stored in the internal RAM b05 and the external RAM b06 to monitor and control the operation of the input/output board b0 are provided, and mapping registers b08 and b09 which assign the addresses of the internal RAM b05 and the external RAM b06 to the address space of the VME bus 1 are provided in the VME bus controller b04 correspondingly to the internal RAM b05 and the external RAM b06.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-272679

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/06	5 1 5		G 0 6 F 12/06	5 1 5 L
11/32		7313-5B	11/32	E
13/14	3 2 0	7368-5E	13/14	3 2 0 A

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平7-74232

(22)出願日 平成7年(1995)3月30日

(71)出願人 000002059

神鋼電機株式会社

東京都中央区日本橋3丁目12番2号

(72)発明者 杉浦 明則

愛知県豊橋市三弥町字元屋敷150 神鋼電  
機株式会社豊橋製作所内

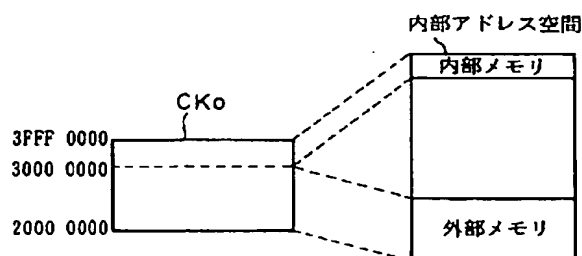
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】 産業用コンピュータ

(57)【要約】

【目的】 CPU用ICの内部メモリを有効活用することが可能な産業用コンピュータを提供する。

【構成】 自らの動作情報を記憶する内部RAM b 05と外部RAM b 06およびVMEバス・コントローラ b 04を有し、VMEバス1を介してVMEバス・コントローラ b 04に入力される制御データに基づいて制御される入出力ボード b 0と、VMEバス・コントローラ b 04と交信するVMEバス・コントローラ a 4を有し、内部RAM b 05と外部RAM b 06に記憶されている動作情報を読み出して入出力ボード b 0の動作を監視、制御するメインCPUボード a とを具備し、内部RAM b 05と外部RAM b 06のアドレスをVMEバス1のアドレス空間に割り付けるマッピング・レジスタ b 08、b 09を内部RAM b 05と外部RAM b 06に対応させてVMEバス・コントローラ b 04に設ける。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 自らの動作情報を記憶する複数の記憶手段および第1の通信手段を有し、システム・バスを介して該通信手段に入力される制御データに基づいて制御される入出力ボードと、前記システム・バスを介して前記第1の通信手段と交信する第2の通信手段を有し、該第2の通信手段によって前記記憶手段に記憶されている動作情報を読み出して前記入出力ボードの動作を監視、制御するメインボードとを具備する産業用コンピュータにおいて、前記記憶手段のアドレスを前記システム・バスのアドレス空間に割り付けるレジスタを該記憶手段に対応させて前記通信手段に複数設ける、こと特徴とする産業用コンピュータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、機器制御に用いて好適な産業用コンピュータに関する。

## 【0002】

【従来の技術】機器の制御等に利用される産業用コンピュータは、複数の機器を同時に制御できるように複数の入出力ボードを有している。これら入出力ボードは、各々にCPU（ローカルCPU）を具備しており、このローカルCPUが外部機器を直接制御している。また、各入出力ボードは、VMEバス等のシステム・バスを介してメインCPU（中央演算装置）ボードに接続されており、各ローカルCPUはメインCPUボードに搭載されたメインCPUによって、その制御動作が監視、制御されている。

【0003】また、このような産業用コンピュータでは、VMEバスが管理するVMEバス・アドレス空間の一部に、メインCPUボードが入出力ボードの監視に利用するCSR（コントロール・ステータス・レジスタ）を設けている。このCSRは各々の用途に対応した複数のレジスタによって構成されていると共に、各入出力ボードに対応させて複数設けられている。また、このようなCSRの1つにベースアドレス・レジスタがある。このベースアドレス・レジスタは、入出力ボードの動作状態を記憶したメモリのアドレスを指し示すレジスタである。ベースアドレス・レジスタに設定されるアドレスは、メインCPUボードが上述したVMEバス・アドレス空間内において各入出力ボードの動作状態をアクセスできるように、各入出力ボード相互で重複しないように、互いに異なる値が設定されている。そして、メインCPUは、このベースアドレス・レジスタを介して各入出力ボードの動作状態を監視、制御している。

## 【0004】

【発明が解決しようとする課題】ところで、近年、CPU用のLSIとして高集積のLSIが供給されている。このようなCPU用LSIでは、メモリ回路あるいは割

り込み回路等、従来のCPU用LSIの周辺回路をLSI内部に取り込んでいる。すなわち、このようなCPU用LSIは、コスト低減および実装面積の縮小等を目的に高集積化されている。したがって、このようなCPU用LSIを用いて上述した入出力ボードを構成した場合、該ボードのコストの低減およびボード・サイズの縮小化を図ることが可能である。

【0005】しかし、この場合、このようなCPU用LSIの内部に設けられているメモリの容量は比較的小さいため、入出力ボードにおいて記憶しなければならない全てのデータをCPU用LSIの内部メモリに記憶することができない。すなわち、この場合、入出力ボード内に個別の外部メモリ回路を設ける必要がある。

【0006】さらに、このようにしてCPU用LSIの内部メモリと外部メモリ回路といった2つのメモリ回路が存在する場合、外部メモリ回路のメモリ容量はある程度自由に設定することができるので、これら別々のメモリ回路を使い分ける煩雑さから、結局、CPU用LSIの内部メモリは使用されず、外部メモリ回路のみを用いて入出力ボードを動作させていた。したがって、CPU用LSIの内部メモリは有効利用されことなく、無駄となるという問題があった。また、この場合、CPU用LSIの内部メモリを使用しない分、外部メモリ回路のメモリ容量を増やす必要があり、コストアップとなるという問題があった。

【0007】本発明は、上述する問題点に鑑みてなされたもので、CPU用ICの内部メモリを有効活用することが可能な産業用コンピュータを提供することを目的としている。

## 【0008】

【課題を解決するための手段】本発明は、上述した目的を達成するために、自らの動作情報を記憶する複数の記憶手段および第1の通信手段を有し、システム・バスを介して該通信手段に入力される制御データに基づいて制御される入出力ボードと、前記システム・バスを介して前記第1の通信手段と交信する第2の通信手段を有し、該第2の通信手段によって前記記憶手段に記憶されている動作情報を読み出して前記入出力ボードの動作を監視、制御するメインボードとを具備する産業用コンピュータにおいて、前記記憶手段のアドレスを前記システム・バスのアドレス空間に割り付けるレジスタを該記憶手段に対応させて前記通信手段に複数設けること特徴とする。

## 【0009】

【作用】本発明によれば、複数設けられた記憶手段の各々のアドレスは該記憶手段に対応したレジスタによってシステム・バスのアドレス空間に割り付けられる。

## 【0010】

【実施例】以下、本発明の一実施例を図面を参照して説明する。図2は、本実施例にいる産業用コンピュータの

概略構成図である。図示するように、産業用コンピュータAは、本体A-1、メインCPUボードa、及び7枚の入出力ボードb0~b6によって構成されており、また、本体A-1の背面には各入出力ボードb0~b6を外部機器と接続するコネクタ（図示略）が複数設けられている。

【0011】これらメインCPUボードaと各入出力ボードb0~b6とは、本体A-1に対して抜き差し自在なカード基板形式に形成されており、一方、本体A-1にはこれら各ボードに対応したスロットがそれぞれ設けられている。また、各スロットには、スロット番号が予め割り当てられており、例えば、入出力ボードb0が挿入されているスロットにはスロット番号“#0”が設定されている。また、以下入出力ボードb1~b6が挿入されている各スロットには順次スロット番号#1~#6がそれぞれ設定されている。

【0012】また、入出力ボードb0には、このボードが正常に動作していることを示すRUNランプc0、異常な状態にあることを示すFAILランプd0、及び異常状態をさらに細かく数値によって表示する7セグメントLED（発光ダイオード）e0が設けられており、他の入出力ボードb1~b6も同様に構成されている。

【0013】次に、図3は上述した各ボードの接続状態を示すブロック図である。メインCPUボードaと各入出力ボードb0~b6とは、VMEバス1を介してそれぞれ接続されている。このVMEバス1は産業用コンピュータ等で利用されている国際標準のシステム・バスである。メインCPUボードaは、メインCPUa1、ROMa2（読み出し専用メモリ）、及びRAMa3（読み出し/書き込みメモリ）、およびVMEバスコントローラa4によって構成されている。メインCPUa1は、ROMa2に記憶されているプログラムに従って動作し、VMEバスコントローラa4を介して各入出力ボードb0~b6の動作を監視制御する。RAMa3は、メインCPUa1がプログラムを実行する際に各種フラグを設定したり、あるいは演算データを記憶する。

【0014】入出力ボードb0は、ローカルCPUb01、ROMb02、RAMb03、及びVMEバスコントローラb04によって構成されている。ローカルCPUb01は、VMEバスコントローラb04を介してメインCPUボードaと通信する。すなわち、入出力ボードb0は、VMEバスコントローラb04によりVMEバス1を介してメインCPUボードaのVMEバスコントローラa4と通信することによって、制御情報を受信しメインCPUボードaによって監視、制御される。ローカルCPUb01は、メインCPUボードaから転送されてRAMb03に記憶される制御データに基づいて機器0を制御すると共に、この時に機器0との間で授受される各種データを制御動作情報としてRAMb03内の特定のアドレスに記憶する。なお、他の各入出力ボードb1~b6も入出

力ボードb0と全く同一に構成されている。

【0015】また、図4は入出力ボードb0の内部接続を示すブロック図である。この図において、符号b05はローカルCPUb01内に備えられた内部RAM、b06は入出力ボードb0内に個別に設けられた外部RAM、またb07はローカルCPUb01、外部RAMb06、およびVMEバスコントローラb04等を相互に接続する内部バス（ローカル・バス）、またb08、b09は内部RAMb05および外部RAMb06の各アドレスをVMEバス・アドレス空間にマッピングするマッピング・レジスタである。

【0016】内部RAMb05および外部RAMb06は、内部バスb07に対応した内部アドレスが各々設定されており、例えば上述した制御動作情報が記憶されている。ローカルCPUb01は、この内部アドレスに基づいて内部RAMb05へのデータの書き込みおよび内部RAMb05からのデータの読み出しを行うと共に、内部アドレスに基づいて内部バスb07を介して外部RAMb06へのデータの書き込みおよび外部RAMb06からのデータの読み出しを行う。

【0017】一方、VMEバスコントローラb04内に設けられたマッピング・レジスタb08、b09は、これら内部アドレスをVMEバス1が管理するVMEバス・アドレス空間にマッピングする。すなわち、このマッピング・レジスタb08、b09には、内部RAMb05および外部RAMb06に対応したVMEバス・アドレス空間上のVMEアドレスが記憶されている。メインCPUボードaは、このマッピング・レジスタb08、b09にそれぞれ記憶されたVMEアドレスにアクセスすることにより、内部RAMb05および外部RAMb06に記憶された制御動作情報を読み出す。なお、上述したRAMb03は、内部RAMb05、外部RAMb06、およびVMEバスコントローラb04内に備えられたメモリ等によって構成されている。

【0018】次に、図5はCSR空間の構成を示すアドレス・マップである。VMEバスの仕様では、所定のアドレス空間（A24空間）に、メインCPUボードが入出力ボードを監視、制御するためのCSR空間を設けるように構成されている。このCSR空間は、各々512キロバイトの容量で最大21個、すなわち最大で21枚の入出力ボードが制御できるように設けられている。いま、この実施例では、コンピュータが合計7枚の入出力ボードb0~b6によって構成されており、各入出力ボードb0~b6に対応するCSR空間は、上述した本体A-1のスロット番号#0~#6に対応させてCSR空間CSR0~CSR6となる。

【0019】次に、図6はCSR空間の詳細を示すアドレス・マップである。例えば、入出力ボードb0に対応するCSR空間CSR0には、制御レジスタR01、状態レジスタR02、7セグメント・レジスタR03、IDレジ

スタR04、訂正レジスタR05、及びベースアドレス・レジスタR06がそれぞれ設けられている。これら各レジスタは、各々2バイトの容量で図示するアドレスにマッピングされる。

【0020】また、これら各レジスタは、VMEバスコントローラb04内のメモリに設けられるものであり、メインCPUボードaは、これら各レジスタにアクセスすることにより入出力ボードbの動作を監視、制御する。なお、他の各入出力ボードb1~b6（該入出力ボードb1~b6に対応したスロット番号）に対応させて設けられた各CSREリアCSR1~CSR6には、上述した各レジスタがそれぞれ同様にマッピングされる。

【0021】制御レジスタR01は、アドレスFFFC~FFFE（16進表示）の2バイトにマッピングされており、メインCPUボードaが入出力ボードb0の初期化（リセット）または自己診断を指示する制御データを書き込むレジスタである。ローカルCPUb01は、メインCPUボードaが制御レジスタR01に書き込まれた制御データに基づいて初期化または自己診断等の処理を行う。

【0022】状態レジスタR02は、アドレスFFF8~FFFAにマッピングされており、メインCPUボードaが入出力ボードb0に自己診断結果の表示を指示する制御データを書き込むレジスタである。ローカルCPUb01は、状態レジスタR02に自己診断結果の表示を指示する制御データが書き込まれると、診断の結果異常と判断した場合はFAILランプd0を点灯させ、通常の動作（正常動作）時にはRUNランプc0を点灯させる。

【0023】7セグメント・レジスタR03は、アドレスFFF4~FFF6にマッピングされており、メインCPUボードaが入出力ボードb0に自己診断結果の内容の表示を指示する制御データを書き込むレジスタである。ローカルCPUb01は、7セグメント・レジスタR03に自己診断結果の内容の表示を指示する制御データが書き込まれると、異常の内容に対応して数字を7セグメントLED e0に表示させる。

【0024】IDレジスタR04は、アドレスFFF0~FFF2にマッピングされており、メインCPUボードaが入出力ボードb0のID番号を知らせるレジスタである。ローカルCPUb01は、IDレジスタR04が読み出されると、自らに設定されているID番号をメインCPUボードaに出力する。

【0025】改訂レジスタR05は、アドレスFFEC~FFEEにマッピングされており、メインCPUボードaが入出力ボードb0の改訂情報を知らせる読み出しレジスタである。ローカルCPUb01は、改訂レジスタR05が読み出されると、入出力ボードb0の改訂情報をメインCPUボードaに出力する。

【0026】ベースアドレス・レジスタR06は、アドレスFFE8~FFEAにマッピングされており、上述した制御動作情報が記憶された内部RAMb05および外部RAMb

06の内部アドレスをVMEバス・アドレス空間上にマッピングする際のVMEアドレスが記憶される。すなわち、内部RAMb05および外部RAMb06の内部アドレスは、ベースアドレス・レジスタR06に設定されたVMEアドレスにマッピングされる。ここで、このVMEバス・アドレス空間上において、制御動作情報がマッピングされる領域をコミュニケーション領域という。メインCPUボードaは、このベースアドレス・レジスタR06のアドレスが指し示すコミュニケーション領域をアクセスすることにより入出力ボードb0の動作状態を判断する。

【0027】図7は、VMEバス・アドレス空間を示すアドレスマップである。この図において、符号Mは、メインCPUボードaのROMa2及びRAMa3のアドレスがマッピングされるメインメモリである。また、符号CK0~CK6はコミュニケーション領域であり、各入出力ボードb0~b6のベースアドレス・レジスタR06~R66に設定される各VMEアドレスに基づいて、各入出力ボードb0~b6において制御動作情報に対応する内部アドレスが互いに重複しないようにマッピングされる。

【0028】次に、上述した産業用コンピュータにおいて、電源が投入されてメインCPUボードaが起動すると、メインCPUa1は、ROMa2に記憶されたプログラムに従ってまず各入出力ボードb0~b6を初期化する。すなわち、各入出力ボードb0~b6内の各RAMb03~b63の記憶内容をリセットする。そして、図7に示したVMEバス・アドレス空間に各入出力ボードb0~b6に対応したコミュニケーション領域CK0~CK6を以下のようにマッピングする。

【0029】先ず、メインCPUa1は、メインメモリMの容量を確認し、VMEバス・アドレス空間における当該メインメモリMが占める領域を、例えばVMEアドレス0000 0000~1FFF 0000にマッピングする。このVMEアドレスにメインメモリMをマッピングすることによって、VMEバス・アドレス空間中の未使用アドレスはVMEアドレス1FFF 0001~FFFF FFFFとなる。続いて、メインCPUa1は、スロット番号#0に該当する入出力ボードb0のコミュニケーション領域CK0を上述したベースアドレス・レジスタR06に記憶されたVMEアドレス2000 0000~3FFF 0000にマッピングすることをVMEバスコントローラb04に指示する。

【0030】このとき、VMEバスコントローラb04は、図1に示すように、外部RAMb06において制御動作情報が記憶されている内部アドレスをマッピング・レジスタb08に記憶されているVMEアドレス2000 0000~3000 0000にマッピングし、また内部RAMb05において制御動作情報が記憶されている内部アドレスをマッピング・レジスタb08に記憶されているVMEアドレス3000 0001~3FFF 0000にマッピングする。この結果、内部RAMb05に記憶されていた制御動作情報と外部RAM

Mb 06に記憶されていた制御動作情報とがコミュニケーション領域CK0の連続したアドレス空間にマッピングされる。

【0031】以後、同様にして各スロット番号#1～#6に装着された各入出力ボードb1～b6に対応するコミュニケーション領域CK1～CK6が図示するアドレスにそれぞれマッピングされる。

【0032】

【発明の効果】以上説明したように、本発明の産業用コンピュータによれば、複数設けられた記憶手段の各々のアドレスは該記憶手段に対応したレジスタによってシステム・バスのアドレス空間に割り付けられるので、メインボードは各記憶手段に記憶された情報を読み出すことが可能である。すなわち、入出力ボード内に複数設けられた記憶手段を全て使用することが可能であり、よって入出力ボード内の記憶手段を有効に活用することが可能である。

【図面の簡単な説明】

【図1】本発明においてVMEバス・アドレス空間と内部アドレス空間との関係を示す図である。

【図2】本発明の産業用コンピュータの構成を示す斜視図である。

【図3】本発明におけるメインCPUボードと入出力ボードの接続を示す図である。

【図4】本発明における入出力ボードの内部接続を示す図である。

【図5】本発明におけるCSR領域の概要を示すアドレ

\* ス・マップである。

【図6】本発明におけるCSR領域の詳細を示すアドレス・マップである。

【図7】本発明におけるVMEバス・アドレス空間のアドレス・マップである。

【符号の説明】

A 産業用コンピュータ

A-1 本体

a メインCPUボード

b0～b6 入出力ボード

a1 メインCPU

a2, b02～b62 ROM

a3, b03～b63 RAM

a4, b04～b64 VMEバスコントローラ

b05 内部RAM

b06 外部RAM

b08, b09 マッピング・レジスタ

1 VMEバス

R01 制御レジスタ

R02 状態レジスタ

R03 7セグメント・レジスタ

R04 IDレジスタ

R05 改訂レジスタ

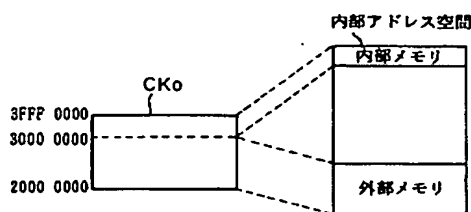
R06 ベースアドレス・レジスタ

M メインメモリ

CK0～CK6 コミュニケーション領域

CSR0～CSR6 CSR領域

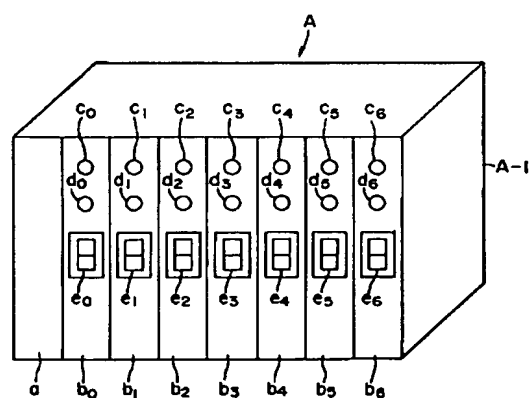
【図1】



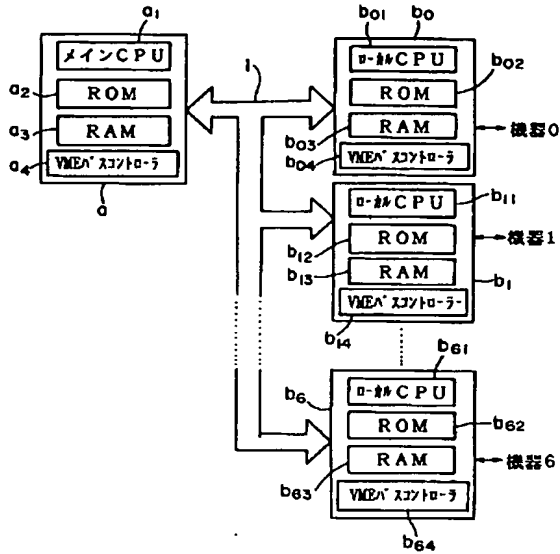
【図5】

VME # 6 (512KB)	CSR6
VME # 5 (512KB)	CSR5
VME # 4 (512KB)	CSR4
VME # 3 (512KB)	CSR3
VME # 2 (512KB)	CSR2
VME # 1 (512KB)	CSR1
VME # 0 (512KB)	CSR0

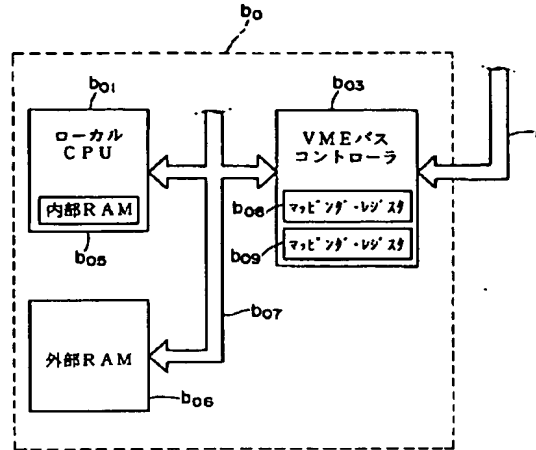
【図2】



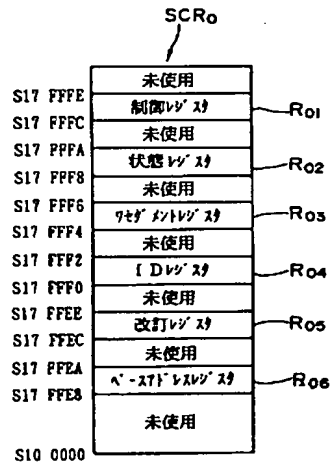
【図3】



【図4】



【図6】



【図7】

